

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
13. Mai 2004 (13.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/040904 A1(51) Internationale Patentklassifikation⁷: **H04N 3/15,**
H01L 27/146**SCHWIDER, Peter, Mario** [DE/CH]; Kapellstrasse 11,
8854 Sieben (CH).

(21) Internationales Aktenzeichen: PCT/CH2003/000704

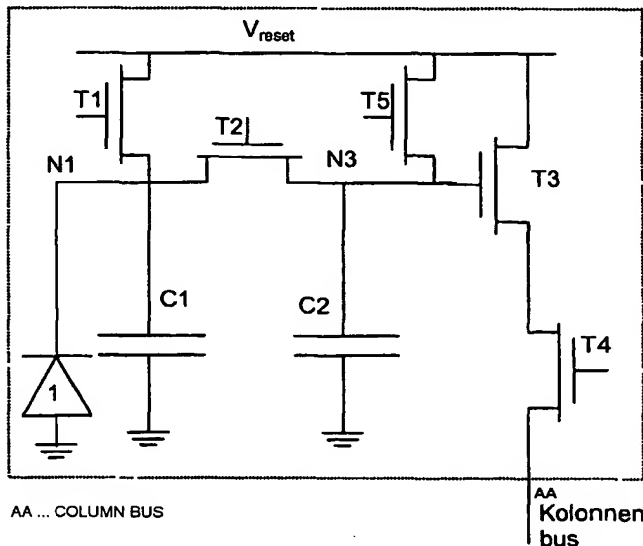
(74) **Anwalt: BREMI, Tobias;** Isler & Pedrazzini AG, Got-
thardstrasse 53, Postfach 6940, CH-8023 Zürich (CH).(22) Internationales Anmeldedatum:
28. Oktober 2003 (28.10.2003)(81) **Bestimmungsstaaten (national):** AE, AG, AL, AM, AT
(Gebrauchsmuster), AT, AU, AZ, BA, BB, BG, BR, BY,
BZ, CA, CH, CN, CO, CR, CU, CZ (Gebrauchsmuster),
CZ, DE (Gebrauchsmuster), DE, DK (Gebrauchsmuster),
DK, DM, DZ, EC, EE (Gebrauchsmuster), EE, EG, ES, FI
(Gebrauchsmuster), FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK (Gebrauchsmuster), SK, SL, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
1810/02 29. Oktober 2002 (29.10.2002) CH(71) **Anmelder (für alle Bestimmungsstaaten mit Ausnahme von**
US): PHOTONFOCUS AG [CH/CH]; Bahnhofplatz 10,
CH-8853 Lachen (CH).(72) **Erfinder; und**(75) **Erfinder/Anmelder (nur für US): WÄNY, Martin**
[CH/CH]; Dorfstrasse 4, CH-8834 Schindellegi (CH).(84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),

[Fortsetzung auf der nächsten Seite]

(54) **Title:** OPTOELECTRONIC SENSOR(54) **Bezeichnung:** OPTOELEKTRONISCHER SENSOR

(57) **Abstract:** Disclosed is an optoelectronic sensor comprising at least one photodiode (1) which can be connected to a first potential (V_{reset1} , V_{reset1}) via a first transistor (T1) or a first diode (D1). Said photodiode (1) can also be connected to the input of a readout amplifier (T3) via a second transistor (T2). A third transistor (T5), via which the input of the readout amplifier (T3) can be connected to a second potential (V_{reset2} , V_{reset2}), is disposed between the second transistor (T2) and the input of the readout amplifier (T3). The inventive optoelectronic sensor further comprises means (C2) for temporarily storing the integrated signal value until readout time, whereby an optoelectronic sensor having a great dynamic range is created, i.e. the sensitivity thereof towards small signals is increased while the sensitivity thereof towards large signals is reduced, said optoelectronic sensor additionally allowing the signal value to be stored in the pixel until readout time following integration (global shutter exposure control).

(57) **Zusammenfassung:** Beschrieben wird ein optoelektronischer Sensor umfassend wenigstens eine Foto-

diode (1), welche über einen ersten Transistor (T1) oder eine erste Diode (D1) mit einem ersten Potenzial (V_{reset1} , V_{reset1}) verbunden werden kann, wobei die Fotodiode (1) ausserdem über einen zweiten Transistor (T2) mit dem Eingang eines Ausleseverstärkers (T3) verbunden werden kann, und wobei weiterhin zwischen diesem zweiten Transistor (T2) und dem Eingang des Ausleseverstärkers (T3) ein dritter Transistor (T5) angeordnet ist, über welchen der Eingang des Ausleseverstärkers (T3) mit einem zweiten Potenzial (V_{reset2} , V_{reset2}) verbunden werden kann. Dabei sind ausserdem Mittel (C2) vorhanden, welche ein temporäres Speichern des integrierten Signalwertes bis zum Auslesezeitpunkt erlauben. Dadurch ergibt sich ein optoelektronischer Sensor mit einem grossen dynamischen Bereich, das heisst bei welchem die Empfindlichkeit bei kleinen Signalen erhöht ist und bei welchem die Empfindlichkeit bei grossen Signalen reduziert ist und der die Möglichkeit bietet, den Signalwert nach der Integration bis zum Auslesezeitpunkt im Pixel zu speichern (so genannte "Global Shutter" Belichtungssteuerung).



eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— *mit internationalem Recherchenbericht*

BESCHREIBUNG

TITEL

Optoelektronischer Sensor

TECHNISCHES GEBIET

Die vorliegende Erfindung betrifft einen optoelektronischen Sensor umfassend wenigstens eine Fotodiode, welche über einen ersten Transistor mit einem ersten Potenzial verbunden werden kann.

STAND DER TECHNIK

In zunehmendem Masse werden Bildsensoren in CMOS Technologie implementiert. Diese Technologie ermöglicht im Gegensatz zur CCD Technologie die Realisierung von nichtlinearen Kennlinien des Ausgangsignals in Bezug auf das Eingangssignal.

Eine nichtlineare Kennlinie ermöglicht es, bei gleicher Graustufenauflösung einen höheren Kontrast innerhalb eines Bildes zu verarbeiten, ohne dass eine Sättigung des Bildes auftritt als, wie sie mit einer linearen Kennlinie möglich ist.

In der Vergangenheit wurden nichtlineare Kennlinien unterschiedlich realisiert. So beschreibt z. B. die US 4,473,836 die Realisierung einer nichtlinearen Kennlinie mittels logarithmischer Kompression. Die WO 01/46655 beschreibt die Realisierung einer nichtlinearen Kennlinie mittels kombinierter linear-logarithmischer Kompression. Andere Quellen verwenden dazu so genanntes Clamping (T.F. Knight, PhD Thesis, MIT, June 1983). Grundsätzlich wird dabei immer eine Reduktion der Empfindlichkeit des optoelektronischen Sensors bei hohen Lichtenergien realisiert. Die Methode des

Skimming auf der anderen Seite (vgl. dazu zum Beispiel IEEE Transactions on circuits and systems for video technology, Vol. 7, No 4, August 1997) ermöglicht eine Erhöhung der Empfindlichkeit bei geringen optischen Intensitäten.

Zur Aufnahme schnell bewegter Bilder, oder von Szenen, welche mittels gepulsten Lichtquellen belichtet werden (Blitzbeleuchtung) werden Sensoren eingesetzt, welche eine sogenannte "Global Shutter" Belichtungssteuerung aufweisen. Das heisst Sensoren, welche es ermöglichen, mittels eines "Sample and Hold"-Gliedes im Pixel, den integrierten Signalwert bis zum Auslesezeitpunkt zu speichern.

DARSTELLUNG DER ERFINDUNG

Der Erfindung liegt demnach die Aufgabe zugrunde, einen optoelektronischen Sensor mit vergrössertem dynamischem Bereich und "Global Shutter" Belichtungssteuerung zur Verfügung zu stellen. Es geht dabei im wesentlichen darum, sowohl die Empfindlichkeit des Sensors bei hohen Lichtenergien einzuschränken, und gleichzeitig eine Erhöhung der Empfindlichkeit bei geringen optischen Intensitäten zu ermöglichen. Die Erfindung betrifft einen optoelektronischen Sensor umfassend wenigstens eine Fotodiode, welche über einen ersten Transistor oder eine erste Diode mit einem ersten Potenzial verbunden werden kann.

Die Lösung dieser Aufgabe wird dadurch erreicht, dass die Fotodiode ausserdem über einen zweiten Transistor mit dem Eingang eines Ausleseverstärkers verbunden werden kann, wobei weiterhin zwischen diesem zweiten Transistor und dem Eingang des Ausleseverstärkers ein dritter Transistor angeordnet ist, über welchen der Eingang des Ausleseverstärkers mit einem zweiten Potenzial verbunden werden kann. Ausserdem sind Mittel (C2) vorhanden, welche ein temporäres Speichern des integrierten Signalwertes bis zum Auslesezeitpunkt erlauben.

Der Kern der Erfindung besteht somit darin, die Möglichkeiten der Erhöhung der Empfindlichkeit bei geringen optischen Intensitäten mit den Möglichkeiten einer Reduktion der Empfindlichkeit des Sensors bei hohen Lichtenergien zu kombinieren und gleichzeitig die "Global Shutter" Belichtungssteuerung beizubehalten

Die Erfindung stellt eine Schaltung vor, welche zur Integration in ein- oder zweidimensionalen Arrays von optoelektronischen Sensorelementen (Bildsensoren) geeignet ist, und welche es erlaubt, nichtlineare Kennlinien, sowohl durch Erhöhung der Empfindlichkeit für optische Signale geringer Intensität, sowie durch Reduktion der Empfindlichkeit für optische Signale hoher Empfindlichkeit, zu realisieren. Die vorgestellte Schaltung kann ebenso in zweidimensionalen Arrays eingesetzt werden und mit dem Signaltiming für Doppelsampling ausgelesen werden.

Gemäss einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung befinden sich im Fall eines ersten Transistors das erste und das zweite Potenzial auf einem im wesentlichen identischen Spannungsniveau. Im Fall einer ersten Diode ist diese Schaltung nicht möglich, da das erste Potenzial in diesem Fall zur Steuerung der effektiven Dioden-Schwellenspannung unabhängig vom zweiten Potenzial geregelt werden muss. Das "Sample and Hold" Glied wird vorzugsweise durch den zweiten Transistor und die parasitären Kapazitäten, welche mit dem Eingang des Auslesebuffers verbunden sind, realisiert. Diese parasitären Kapazitäten bilden im Verstärkungsmodus der kleinen Signale ebenso die Konversionskapazität aus. Um diese Konversionskapazität besser zu kontrollieren, kann eine zusätzliche Kapazität zur Erde (Ground Potential) mit diesem Knoten verbunden werden. Diese Kapazität liegt üblicherweise im Bereich einiger Femtofarad. Um eine Verstärkung kleiner Signale zu ermöglichen, hat die totale, mit dem Eingang des Auslesebuffers verbundene Kapazität kleiner zu sein, als die parasitäre Kapazität der Photodiode.

Gemäss einer anderen bevorzugten Ausführungsform der Erfindung ist der Ausgang des Ausleseverstärkers oder Auslesepuffers über einen Zeilenauswahltransistor mit einem Kolonnenbus verbunden. Typischerweise werden sämtliche in der Schaltung verwendeten Transistoren als MOS-Transistoren ausgebildet. Die folgende Beschreibung bezieht sich auf eine Implementierung mit N-typ MOS Transistoren (NMOS), die Erfindung deckt aber ebenfalls die mögliche Implementierung mit P-typ MOS Transistoren oder einer Kombination beider Transistortypen ab. Bei der Implementierung von PMOS Transistoren sind an der gegebenen Stelle sämtliche Spannungen gegenüber dem NMOS Transistor zu invertieren, wie dem fachkundigen

Leser wohlbekannt und ersichtlich ist.

Eine weitere bevorzugte Ausführungsform der vorliegenden Erfindung zeichnet sich dadurch aus, dass die Gatespannung des zweiten Transistors so geregelt ist, dass in einer ersten Phase der Integrationszeit der von der Photodiode generierte Strom lediglich eine Kapazität am Eingang des Ausleseverstärkers entlädt, und dass die Gatespannung des ersten Transistors, respektive im Fall einer ersten Diode das erste Potenzial, so geregelt ist, dass in einer letzten Phase der Integrationszeit ein Teil oder die Gesamtheit des von der Photodiode generierten Stromes durch den Kanal des ersten Transistors respektive der ersten Diode kompensiert wird. Diese Ansteuerung stellt sicher, dass für hohe Intensitäten die Empfindlichkeit reduziert wird, und dass für kleine Intensitäten die Empfindlichkeit erhöht wird. Je nach Intensität wird ein derartiger Sensor während der ganzen Integrationszeit in der ersten Phase verbleiben (niedrige Signale) oder aber bis zur letzten Phase hindurchlaufen (grosse Signale). Typischerweise werden die Spannungen dabei so eingestellt, dass die Gatespannung des ersten Transistors unterhalb der Gatespannung des zweiten Transistors liegt, und dass die Gatespannung des ersten Transistors wenigstens eine Schwellenspannung über dem Sättigungssignal des Auslesepuffers liegt. Im Falle der Verwendung einer Diode anstelle des ersten Transistors wird die Anodenspannung (erstes Potential) der Diode so eingestellt, dass die Anodenspannung minus die Dioden-Schwellenspannung unterhalb der Gatespannung minus der Thresholdspannung des zweiten Transistors liegt, und dass die Anodenspannung minus die Dioden-Schwellenspannung über dem Sättigungssignal des Auslesebuffers liegt. Es erweist sich dabei als sinnvoll, die Gatespannungen (respektive die Gatespannung und die Anodenspannung im Falle einer Diode) so einzustellen, dass die Differenz zwischen den beiden Spannungen grösser ist als die Toleranz der Schwellenspannungen zuzüglich der Toleranz der Spannungswerte, wobei diese Differenz insbesondere bevorzugt $> 100 \text{ mV}$ gewählt ist. Dies bei typischen Lichtintensitäten im Bereich von nW/cm^2 - mW/cm^2 .

Nach der Integrationszeit wird der zweite Transistor geöffnet, so dass der Konversionsknoten (Speicherknoten) von der Photodiode isoliert wird. Das Gate des ersten Transistors wird in dieser Phase bis zum Ende der Auslesephase auf einem

Potential gehalten, das mindestens eine Thresholdspannung über der Groundspannung liegt. Im Fall einer ersten Diode wird diese in Bezug auf die effektive Dioden-Schwellenspannung analog über das erste Potenzial eingestellt. So wird sichergestellt, dass von der Photodiode gesammelte Ladungsträger die Photodiode nicht vollständig entladen und auf den Speicherknoten überfliessen, sondern durch den Kanal des ersten Transistors, respektive der ersten Diode, kompensiert werden, falls das Potenzial der Photodiode einen Wert nahe der Groundspannung erreicht (grosse optische Intensitäten).

Bei einer anderen bevorzugten Ausführungsform der Erfindung können die Gatespannungen vom ersten sowie vom zweiten Transistor während der Integrationszeit variiert werden. So kann je nach Bedarf respektive je nach Intensitätsverteilung des einfallenden Lichtes über ein Array von Sensorzellen die Response Kennlinie (Empfindlichkeit in Abhängigkeit der Intensität) des Sensors, resp. Sensorarrays noch variabler eingestellt werden. Während der "Hold" Phase ist dabei darauf zu achten, dass die Gatespannung des ersten Transistors mindestens auf einem Wert bleibt, welcher die vollständige Entladung der Photodiode verhindert, jedoch unterhalb des geringsten während der Integrationsphase verwendeten Wertes der Gatespannung des zweiten Transistors. In analoger Weise muss die erste Diode entsprechend über das erste Potenzial geregelt werden.

Weitere bevorzugte Ausführungsformen des erfindungsgemässen optoelektronischen Sensors sind in den abhängigen Ansprüchen beschrieben.

Weiterhin betrifft die vorliegende Erfindung ein Verfahren zum Betrieb eines optoelektronischen Sensors, wie er oben beschrieben wird. Insbesondere zeichnet sich das Verfahren dadurch aus, dass die Gatespannung des ersten Transistors respektive im Fall einer ersten Diode das erste Potenzial, und die Gatespannung des zweiten Transistors derart eingestellt respektive geregelt werden, dass in einer ersten Phase der Integrationszeit von der Fotodiode gesammelte Ladungsträger lediglich eine Konversionsknotenkapazität entladen, dass in einer zweiten Phase nach Erreichen eines gleichen Potenzials beim Ausgang der Fotodiode und beim Eingang des Ausleseverstärkers von der Fotodiode gesammelte Ladungsträger sowohl eine

Fotodiodenkapazität als auch die genannte Konversionsknotenkapazität entladen, und dass nach Unterschreiten des Schwellenwertes des ersten Transistors respektive der ersten Diode beim Ausgang der Fotodiode in einer dritten Phase von der Fotodiode gesammelte Ladungsträger wenigstens teilweise über den ersten Transistor respektive über die erste Diode zur Verfügung gestellt werden, sowie dass nach Ablauf der Integrationszeit der zweite Transistor geöffnet wird und die Gatespannung des ersten Transistors respektive das erste Potenzial im Fall einer ersten Diode so eingestellt wird, dass eine vollständige Entladung der Photodiode verhindert wird. Durch diese Betriebsweise erreicht man die bereits eingangs genannte Reduktion der Empfindlichkeit für hohe Intensitäten respektive Erhöhung der Empfindlichkeit für niedrige Intensitäten sowie die Möglichkeit nach Ablauf der Integrationszeit den Signalwert im Pixel bis zum Auslesezeitpunkt zu speichern. ("Global Shutter" Belichtungssteuerung). Bevorzugt kann dabei so vorgegangen werden, dass während der Resetphase und während der Integrationsphase die Gatespannung des zweiten Transistors eingestellt wird, sodass Gatespannung minus Schwellenspannung niedriger liegt als die Resetspannung, welche sich am Eingang des Ausleseverstärkers einstellt, und dass die Gatespannung wenigstens eine Schwellenspannung oberhalb der Sättigungsspannung des Auslesepuffers liegt. Die Gatespannung des ersten Transistors wird während der Resetphase auf den höchsten Wert gestellt, der während der Integrationsphase verwendet wird, mindestens aber eine Thresholdspannung über der Ground Spannung aber unterhalb der Gatespannung des zweiten Transistors. Während der Holdphase wird die Gatespannung des ersten Transistors auf denselben Wert eingestellt wie während der Resetphase, mindestens aber eine Thresholdspannung über der Groundspannung.

Wie bereits weiter oben allgemeiner erwähnt, kann gemäss einer bevorzugten Ausführungsform des genannten Verfahrens während der Integrationsphase die Gatespannung des zweiten Transistors variiert werden, wobei sie aber immer grösser bleibt als die Gatespannung des ersten Transistors, und wobei bevorzugt während der Integrationsphase die Gatespannung des ersten Transistors sukzessive reduziert wird.

Zusätzlich ist es ausserdem möglich, während der Integrationszeit die Gatespannung des

ersten Transistors konstant zu halten oder sukzessive zu reduzieren. Ausserdem kann vorzugsweise so vorgegangen werden, dass während der Integrationszeit die Gatespannung des zweiten Transistors wenigstens einmal dem Bulkpotential dieses Transistors gleichgeschaltet und wieder auf seinen ursprünglichen Wert zurück geschaltet wird.

Ausserdem betrifft die vorliegende Erfindung ein ein- oder zweidimensionales Array von optoelektronischen Sensoren, wie sie oben beschrieben wurden. Gleichermassen betrifft sie ein Verfahren zum Betrieb eines derartigen Array.

KURZE ERLÄUTERUNG DER FIGUREN

Die Erfindung soll nachfolgend anhand von Ausführungsbeispielen im Zusammenhang mit den Zeichnungen näher erläutert werden. Es zeigen:

- Fig. 1 Schaltschema eines optoelektronischen Sensors mit reduzierter Empfindlichkeit bei hohen Intensitäten;
- Fig. 2 Schaltschema eines optoelektronischen Sensors mit reduzierter Empfindlichkeit bei hohen Intensitäten mit Shuttertransistor und Konversionsknotenkapazität;
- Fig. 3 Schaltschema eines optoelektronischen Sensors mit grossem dynamischen Bereich (bevorzugte Implementierung der erfindungsgemässen Schaltung);
- Fig. 4 Schaltschema eines optoelektronischen Sensors mit erhöhter Empfindlichkeit bei niedrigen Intensitäten; und
- Fig. 5 Schaltschema eines optoelektronischen Sensors mit grossem dynamischen Bereich bei welchem der erste Transistor durch eine Diode ersetzt wird.

WEGE ZUR AUSFÜHRUNG DER ERFINDUNG

A) Nichtlineare Kennlinie durch Reduktion der Empfindlichkeit bei hohen optischen Intensitäten

Bei integrierenden Photodetektoren wird die optisch generierte Ladung durch eine in Sperrrichtung polarisierte Photodiode 1 aufgesammelt und auf der parasitären Kapazität der Photodiode sowie den mit der Photodiode verbundenen Kapazitäten aufintegriert.

Eine Reduktion der Empfindlichkeit bei hohen Intensitäten kann erzielt werden, indem nach Erreichen eines gewissen Signalpegels von der Integrationskapazität C1, C2 ein gewisser, signalabhängiger Strom abgezogen wird (wird so z. B. in der bereits eingangs erwähnten WO 01/46655 vorgeschlagen). Dies kann erreicht werden, indem bei einem Pixelschema gemäss einer der Fig. 1-3 das Gate von MOS Transistor T1 während der Integrationsphase so polarisiert wird, dass ab einem gewünschten Signalwert der MOS Transistor T1 durch Subthreshold-Leitfähigkeit (Leitfähigkeit unterhalb des Schwellenwertes) einen signalabhängigen Strom von der Integrationskapazität C1 abführt. Während der Integrationszeit kann die Polarisation des Gates dieses Transistors T1 derart angepasst werden, dass für verschiedene optische Intensitäten unterschiedliche effektive Integrationszeiten realisiert werden. Dies wird bei einer Realisierung mit einer N-Photodiode gegenüber P-Substrat und mit N-Kanal MOS Transistoren folgendermassen umgesetzt:

Vor Beginn der Integrationszeit wird das Gate des Resettransistors T1 in Figur 1-3 auf mindestens eine Schwellenspannung oberhalb des Resetpotentials V_{reset} polarisiert. Dadurch wird die Integrationskapazität C1 in Figur 1 resp. C1 und C2 in Figur 2 und 3 auf das Resetpotential V_{reset} aufgeladen. Zu Beginn der Integrationszeit wird das Gate des Resettransistors T1 auf einen Wert unterhalb des Resetpotentials plus Schwellenspannung, jedoch mindestens eine Schwellenspannung oberhalb der Sättigungsspannung des Auslesebuffers polarisiert (V_{G1}). Der durch die Photodiode 1 gesammelte Strom, welcher sich linear zur einfallenden Lichtintensität verhält, entlädt die Integrationskapazität C1, respektive C1 und C2. Für relativ hohe optische Intensitäten wird die Integrationskapazität innerhalb der Integrationszeit auf den Wert $V_{G1} - V_{TH}$ (Schwellenspannung von T1) entladen. Ab diesem Zeitpunkt führt der

Transistor T1 einen Teil des von der Photodiode 1 generierten Stromes wieder von der Integrationskapazität ab. Die Spannung auf der Integrationskapazität sinkt nun langsamer ab, bis sie sich schliesslich auf einem Wert stabilisiert, bei welchem der gesamte von der Photodiode 1 generierte Strom über den Transistor T1 kompensiert wird. In der zweiten Hälfte der Integrationszeit, z.B. nach 90% der Integrationszeit, wird das Gate des Resettransistors T1 auf einen tieferen Wert V_{G2} polarisiert. Dadurch bricht die Kompensation des von der Photodiode 1 generierten Stromes ab. Die Integrationskapazität wird erneut durch den gesamten Photostrom entladen. Da bis zum Ende der Integrationszeit eine kürzere Zeitspanne zur Verfügung steht, resultiert für optische Intensitäten, welche im ersten Zeitintervall die Integrationskapazität bis auf V_{G1-VHT} entladen haben, eine reduzierte Empfindlichkeit.

Die Kennlinie kann durch Einfügen weiterer Stufen beliebig bestimmt werden.

B) Nichtlineare Kennlinie durch Erhöhen der Empfindlichkeit bei kleinen Signalen.

Eine Steigerung der Empfindlichkeit von integrierenden optoelektronischen Sensoren in CMOS Technologie kann dadurch erreicht werden, dass die Konversionskapazität, welche die photogenerated Ladungen in ein Spannungssignal wandelt, reduziert wird. Üblicherweise wird diese Kapazität durch die parasitäre Kapazität der Photodiode sowie durch die parasitären Kapazitäten der mit der Photodiode verbundenen Ausleseelektronik gebildet. Diese Kapazitäten können durch die in einer bestimmten Technologie realisierbaren Minimalstrukturen nur begrenzt reduziert werden. Durch Einfügen eines MOS Transistors und geeigneter Polarisierung der Gatespannung dieses Transistors zwischen der Photodiode und dem Auslesebuffer kann die parasitäre Kapazität der Photodiode von der Konversionskapazität abgetrennt werden.

Eine Beispielschaltung eines optoelektronischen Sensors, welcher dies ermöglicht, ist in Figur 4 angegeben.

In einer ersten Phase wird mittels Schliessen des Resettransistors T5 die Konversionskapazität C2 auf die Resetspannung V_{reset} aufgeladen. Das Gate des

Transistors T2 wird während der Resetphase auf einer konstanten Spannung gehalten VGT2. Diese Spannung wird so gewählt, dass die Gatespannung des MOS Transistors T2 minus eine Schwellenspannung kleiner ist als die Resetspannung, welche nach Öffnen des Resettransistors T5 auf dem Konversionsknoten N3 erreicht wird. Die Gatespannung wird aber mindestens eine Schwellenspannung über dem Bulkpotential des Transistors T2 gewählt. Dadurch wird während dem Reset die Photodiode 1 nicht auf das Resetpotential gebracht, sondern stabilisiert sich auf einem Potential $V_{GT2} - V_{TH}$.

Ladungsträger welche durch die Photodiode eingefangen werden, generieren im Kanal des Transistors T2 einen Strom, welcher die Konversionskapazität C2 entlädt. Die umgekehrte Vorspannung der Photodiode 1 bleibt so erhalten. Dadurch wird die parasitäre Kapazität C1 der Photodiode 1 nicht entladen, und das Spannungssignal, welches für eine bestimmte eingesammelte Ladungsmenge auf C2 erzeugt wird, ist grösser, als wenn die Konversionskapazität direkt mit der Photodiode 1 verbunden ist. Diese erhöhte Empfindlichkeit wird realisiert, solange die Spannung auf dem Konversionsknoten N3 grösser ist als die Spannung auf der Photodiode (N1). Sobald sich die beiden Spannungen egalisieren, werden die parasitäre Kapazität der Photodiode und des Konversionsknotens N3 gleichermassen entladen. Damit reduziert sich bei grösseren Signalen die Empfindlichkeit.

Das Ende der Integrationszeit kann durch Reduktion der Gatespannung an T2 auf ein Potential unterhalb des Bulkpotentials plus eine Schwellenspannung (Öffnen von T2) und Sampling des Spannungssignals auf C2 oder durch Auslesen und Einleiten des Resets bestimmt werden. Während der Holdphase kann sich die Photodiode weiter entladen. Dies kann dazu führen, dass sich die Photodiode vollständig entlädt und optisch generierte Ladungen durch das Substrat auf den Speicherknoten überfliessen und den ausgelesenen Signalwert verfälschen. Die Erfindung bietet eine Lösung dieses Problems an.

Während der Integrationszeit kann zur Erhöhung der Empfindlichkeit mittels signalabhängiger Ladungsinjektion die Gatespannung des Transistors T2 verändert werden. (z.B. mehrmaliges Öffnen und Schliessen auf VGT2.)

Erfindungsgemäss wird nun wie folgt vorgegangen:

Das Schaltbild des Ausführungsbeispiels eines erfindungsgemässen optoelektronischen Sensors ist in Figur 3 abgebildet. Der optoelektronische Sensor gemäss der Erfindung weist eine Photodiode 1 auf, welche mittels MOS Transistor T1 mit einer Resetspannung V_{reset} verbunden werden kann. Weiter weist der Sensor einen MOS Transistor T2 auf, welcher die Photodiode mit dem Auslesebuffer T3 verbindet. Das Eingangsterminal des Auslesebuffers T3 ist weiter mit einem MOS Transistor T5 mit dem Resetpotential verbunden.

In der erfindungsgemässen Steuerung des Sensors wird während der Reset- und Integrationsphase das Gateterminal des Transistors T2 so polarisiert, dass die Gatespannung minus die Schwellenspannung tiefer liegt als das Resetpotential, welches sich am Eingang des Auslesebuffers N3 einstellt, jedoch mindestens eine Schwellenspannung über dem Sättigungssignal des Auslesebuffers T3.

Das Gate des Transistors T1 wird so polarisiert, dass dessen Potential unterhalb des Gatepotentials von T2 liegt, jedoch mindestens eine Schwellenspannung über dem Sättigungssignal des Auslesebuffers T3. Die Differenz zwischen den beiden Gatespannungen soll grösser sein als die Toleranz der Schwellenspannungen zuzüglich der Toleranz der Spannungswerte (typisch $> 100\text{mV}$).

Während der Integrationsphase kann das Potential des Transistors T2 variiert werden, soll aber immer grösser bleiben, als das Gatepotential des Transistors T1.

Während der Integrationsphase kann das Gatepotential des Transistors T1 reduziert werden.

In einer ersten Phase der Integrationszeit entladen von der Photodiode 1 eingesammelte Ladungsträger lediglich die Konversionskapazität C2, und generieren ein maximales Spannungssignal je Ladungsträger. Bei relativ kleinen optischen Intensitäten bleibt der erfindungsgemässe Sensor während der gesamten Integrationszeit in dieser Phase.

In der zweiten Phase der Integrationszeit egalisieren sich die Potentiale auf den Knoten N1 und N3. In dieser Phase entladen von der Photodiode 1 eingefangene Ladungsträger

die parasitäre Kapazität C_1 der Photodiode 1 gleichermassen wie die Konversionskapazität C_2 und generieren ein mittleres Spannungssignal je Ladungsträger. Bei mittleren optischen Intensitäten bleibt der erfindungsgemässe Sensor bis zum Ende der Integrationszeit in dieser Phase.

In einer dritten Phase der Integrationszeit werden die parasitären Kapazitäten der Photodiode 1 sowie des Ausleseknötens soweit entladen, dass ein Teil oder der gesamte von der Photodiode generierte Stroms mittels Transistor T1 kompensiert wird. Je nachdem, ob in diesem Teil der Kennlinie eine logarithmische Response, oder eine abschnittsweise lineare Response gewünscht wird, kann das Gatepotential von T1 nach bekannter Technik schrittweise oder kontinuierlich reduziert werden oder auf einem geeigneten fixen Wert gehalten werden.

Am Ende der Integrationszeit wird das Spannungssignal, welches am Knoten N3 festgestellt wird, durch Reduktion des Gatepotentials von T2 auf einen Wert unterhalb des Bulkpotentials plus einer Schwellenspannung (Öffnen von T2) gesampelt. Bis zum Auslesen des Spannungssignals bleibt das Gatepotential von T1 mindestens eine Thresholdspannung über dem Groundpotential. So wird verhindert, dass sich die parasitäre Photodiodenkapazität vollständig entlädt und überzählige Ladungen auf den Speicherknoten überfliessen. Nach dem Auslesen des Spannungssignals auf N3 mittels Auslesebuffer wird der Knoten N3 mittels Resettransistor T5 auf das Resetpotential V_{reset} gebracht und das Gate von Transistor T1 wird auf den Wert am Beginn der Integrationszeit gesetzt.

Figur 5 zeigt eine alternative Schaltung, bei welcher der erste Transistor T1 durch eine Diode D1 ersetzt ist. Um diese Diode D1 eine analoge Aufgabe erfüllen zu lassen, muss in diesem Fall das Reset-Potential von Diode D1 und Transistor T5 unterschiedlich gestaltet werden. An der Diode D1 liegt Reset-Potential V_{reset1} an, (in einer Variation der Realisierung ist dieses Potential während der Integrationszeit regelbar) während am Transistor T5 resp. T3 das Potential V_{reset2} anliegt.

Eine Reduktion der Empfindlichkeit bei hohen Intensitäten kann bei einer derartigen Schaltung gem. Figur 5 erzielt werden, indem ab Erreichen eines gewissen Signalpegels von der Integrationskapazität C_1 , C_2 ein gewisser, signalabhängiger Strom abgezogen

wird (wird so z. B. in der bereits eingangs erwähnten WO 01/46655 gemacht). Dies, indem bei einem Pixelschema gemäss Fig. 5 die Reset-Spannung V_{reset1} der Diode D1 während der Integrationsphase so eingestellt wird, dass ab einem gewünschten Signalwert die Diode D1 durch Leitfähigkeit oberhalb des Dioden-Schwellenwerts einen signalabhängigen Strom von der Integrationskapazität C1 abführt. Während der Integrationszeit kann die Spannung V_{reset1} an der Diode D1 derart angepasst werden, dass für verschiedene optische Intensitäten unterschiedliche effektive Integrationszeiten realisiert werden. Dies bei einer Realisierung mit einer N-Photodiode gegenüber P+/N-well junction Diode D1 (typischerweise mit einem Schwellenpotential V_{onDiode} von im Bereich von 0.3 bis 0.7 V).

In einer ersten Phase wird mittels Schliessen des Resettransistors T5 die Konversionskapazität C2 auf die Resetspannung V_{reset} aufgeladen. Das Gate des Transistors T2 wird während der Resetphase auf einer konstanten Spannung gehalten VGT2. Diese Spannung wird so gewählt, dass die Gatespannung des MOS Transistors T2 minus eine Schwellenspannung kleiner ist als die Resetspannung, welche nach Öffnen des Resettransistors T5 auf dem Konversionsknoten N3 erreicht wird. Die Gatespannung wird aber mindestens eine Schwellenspannung über dem Bulkpotential des Transistors T2 gewählt. Dadurch wird während dem Reset die Photodiode 1 nicht auf das Resetpotential gebracht, sondern stabilisiert sich auf einem Potential VGT2 - VTH.

In dieser Phase wird die Resetspannung V_{reset1} in Figur 5 auf die höchste, während der Integration verwendete Spannung gelegt. Diese Spannung minus die Schwellspannung der Diode (D1) ist mindestens über dem Saturierungswert des Auslesebuffers, aber unterhalb der Gatespannung minus der Thresholdspannung des zweiten Transistors (T2 in Fig. 5) (typischerweise >100mV). Der durch die Photodiode 1 gesammelte Strom, welcher sich linear zur einfallenden Lichtintensität verhält, wird in einer ersten Phase durch den Kanal von MOS Transistor T2 kompensiert und entlädt lediglich die Kapazität C2. Sobald das Potential auf N3 auf einen Wert unterhalb der Gatespannung von T2 minus der Thresholdspannung entladen ist, werden die Kapazitäten C1 und C2 gleichermassen entladen. Für relativ hohe optische Intensitäten wird die

Integrationskapazität ($C1+C2$) innerhalb der Integrationszeit auf den Wert $V_{\text{reset1}} - V_{\text{onDiode}}$ entladen. Ab diesem Zeitpunkt führt die Diode D1 einen Teil des von der Photodiode 1 generierten Stromes wieder von der Integrationskapazität ab. Die Spannung auf der Integrationskapazität sinkt nun langsamer ab, bis sie sich schliesslich auf einem Wert stabilisiert, bei welchem der gesamte von der Photodiode 1 generierte Strom über die Diode D1 kompensiert wird. In einer weiteren Phase der Integrationszeit, z.B. nach 90% der Integrationszeit, kann die Resetspannung V_{reset1} auf einen tieferen Wert gesetzt. Dadurch bricht die Kompensation des von der Photodiode 1 generierten Stromes ab. Die Integrationskapazität wird erneut durch den gesamten Photostrom entladen. Da bis zum Ende der Integrationszeit eine kürzere Zeitspanne zur Verfügung steht, resultiert für optische Intensitäten, welche im ersten Zeitintervall die Integrationskapazität bis auf $V_{\text{reset1}} - V_{\text{onDiode}}$ entladen haben, eine reduzierte Empfindlichkeit.

Die Kennlinie kann auch hier durch Einfügen weiterer Stufen beliebig bestimmt werden.

BEZUGSZEICHENLISTE

1	Fotodiode
2	Erde
C1	Fotodiodenkapazität
C2	Konversionsknotenkapazität
T1	Resettransistor
T2	Shuttertransistor
T3	Auslesetransistor
T4	Zeilenauswahltransistor
T5	Resettransistor des Sense-Knoten N2
N1	Dioden-Knoten
N3	Konversionsknoten / Speicherknoten
V_{reset}	Resetspannung
V_{reset1}	Resetspannung an Diode D1
V_{reset2}	Resetspannung an Transistor T5
V_{onDiode}	Dioden-Schwellenspannung
D1	Reset Diode

PATENTANSPRÜCHE

1. Optoelektronischer Sensor umfassend wenigstens eine Fotodiode (1), welche über einen ersten Transistor (T1) oder eine erste Diode (D1) mit einem ersten Potenzial (V_{reset} , V_{reset1}) verbunden werden kann, dadurch gekennzeichnet, dass zur Bereitstellung eines grossen dynamischen Bereiches die Fotodiode (1) ausserdem über einen zweiten Transistor (T2) mit dem Eingang eines Ausleseverstärkers (T3) verbunden werden kann, wobei weiterhin zwischen diesem zweiten Transistor (T2) und dem Eingang des Ausleseverstärkers (T3) ein dritter Transistor (T5) angeordnet ist, über welchen der Eingang des Ausleseverstärkers (T3) mit einem zweiten Potenzial (V_{reset} , V_{reset2}) verbunden werden kann, und dass Mittel (C2) vorhanden sind, welche ein temporäres Speichern des integrierten Signalwertes bis zum Auslesezeitpunkt erlauben.
2. Optoelektronischer Sensor gemäss Anspruch 1, dadurch gekennzeichnet, dass ein erster Transistor (T1) vorhanden ist und dass das erste und das zweite Potenzial (V_{reset}) auf einem im wesentlichen identischen Spannungsniveau liegen.
3. Optoelektronischer Sensor gemäss einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass zwischen dem zweiten Transistor (T2) und dem Eingang des Ausleseverstärkers (T3) zur Erde (2) eine zusätzliche Konversionsknotenkapazität (C2) angeordnet ist.
4. Optoelektronischer Sensor gemäss einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Ausgang des Ausleseverstärkers (T3) über

einen Zeilenauswahltransistor (T4) mit einem Kolonnenbus verbunden ist.

5. Optoelektronischer Sensor gemäss einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass wenigstens einer, bevorzugt alle verwendeten Transistoren (T1, T2, T3, T4, T5) als MOS-Transistoren ausgebildet sind.
6. Optoelektronischer Sensor gemäss einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Gatespannung des zweiten Transistors (T2) so geregelt ist, dass in einer ersten Phase der Integrationszeit der von der Photodiode (1) generierte Strom lediglich eine Kapazität (C2) am Eingang des Ausleseverstärkers (T3) entlädt, und dass dabei die Gatespannung des ersten Transistors (T1) respektive das erste Potential (V_{reset1}) bei Anwesenheit einer ersten Diode (D1) so geregelt ist, dass in einer letzten Phase der Integrationszeit ein Teil oder die Gesamtheit des von der Photodiode (1) generierten Stromes durch den Kanal des ersten Transistors (T1) respektive durch die erste Diode (D1) kompensiert wird.
7. Optoelektronischer Sensor gemäss Anspruch 6, dadurch gekennzeichnet, dass im Fall eines ersten Transistors (T1) die Gatespannung des ersten Transistors (T1) unterhalb der Gatespannung des zweiten Transistors (T2) liegt, und dass die Gatespannung des ersten Transistors (T1) wenigstens eine Schwellenspannung über dem Sättigungssignal des Auslesepuffers liegt, respektive dass im Fall einer ersten Diode (D1) die Dioden-Anodenspannung der ersten Diode (D1) durch das erste Potential (V_{reset1}) so eingestellt wird, dass diese Anodenspannung minus der Dioden-Schwellenspannung ($V_{\text{reset1}} - V_{\text{onDiode}}$) unterhalb der Gatespannung minus der Thresholdspannung des zweiten Transistors (T2) liegt, und dass die Dioden-Anodenspannung (V_{reset1}) der ersten Diode (D1) wenigstens eine Dioden-Schwellenspannung (V_{onDiode}) über dem Sättigungssignal des Auslesepuffers liegt.

8. Optoelektronischer Sensor gemäss Anspruch 6, dadurch gekennzeichnet, dass die Differenz zwischen den beiden Gatespannungen grösser ist als die Toleranz der Schwellenspannungen zuzüglich der Toleranz der Spannungswerte, wobei diese Differenz insbesondere bevorzugt $> 100 \text{ mV}$ gewählt ist.
9. Optoelektronischer Sensor gemäss einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Gatespannungen vom ersten (T1) sowie vom zweiten (T2) Transistor während der Integrationszeit variiert werden können.
10. Verfahren zum Betrieb eines optoelektronischen Sensors nach wenigstens einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die Gatespannung des ersten Transistors (T1) respektive das erste Potential (V_{reset1}) im Fall einer ersten Diode (D1) und die Gatespannung des zweiten Transistors (T2) derart eingestellt respektive geregelt werden, dass in einer ersten Phase der Integrationszeit von der Fotodiode (1) gesammelte Ladungsträger lediglich eine Konversionsknotenkapazität (C2) entladen, dass in einer zweiten Phase nach Erreichen eines gleichen Potentials beim Ausgang der Fotodiode (1) und beim Eingang des Ausleseverstärkers (T3) von der Fotodiode (1) gesammelte Ladungsträger sowohl eine Fotodiodenkapazität (C1) als auch die genannte Konversionsknotenkapazität (C2) entladen, und dass nach Unterschreiten des Schwellenwertes des ersten Transistors (T1) respektive des Dioden-Schwellenwertes der ersten Diode (D1) beim Ausgang der Fotodiode (1) in einer dritten Phase von der Fotodiode (1) gesammelte Ladungsträger wenigstens teilweise über den ersten Transistor (T1) respektive über die erste Diode (D1) zur Verfügung gestellt werden und dass nach Ablauf der Integrationszeit besagter zweiter Transistor (T2) geöffnet wird, so dass das Signal bis zum Auslesezeitpunkt auf der Konversionskapazität (C2) gehalten wird und dass während dieser Haltezeit der erste Transistor (T1) respektive die erste Diode

(D1) derart eingestellt wird, dass die Photodiodenkapazität (C1) nicht vollständig entladen wird.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass während der Resetphase und während der Integrationsphase die Gatespannung des zweiten Transistors (T2) eingestellt wird, dass Gatespannung minus Schwellenspannung niedriger liegt als die Resetspannung, welche sich am Eingang des Ausleseverstärkers (T3) einstellt, und dass die Gatespannung wenigstens eine Schwellenspannung oberhalb der Sättigungsspannung des Auslesepuffers liegt.
12. Verfahren nach einem der Ansprüche 10 oder 11, dadurch gekennzeichnet, dass während der Integrationsphase die Gatespannung des zweiten Transistors (T2) variiert wird, wobei sie aber immer grösser bleibt als die Gatespannung des ersten Transistors (T1), und dass bevorzugt während der Integrationsphase die Gatespannung des ersten Transistors (T1) sukzessive reduziert wird.
13. Verfahren nach einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, dass während der Integrationszeit die Gatespannung des ersten Transistors (T1) konstant gehalten oder sukzessive reduziert wird.
14. Verfahren nach einem der Ansprüche 10, 11 oder 13, dadurch gekennzeichnet, dass während der Integrationszeit die Gatespannung des zweiten Transistors (T2) wenigstens einmal dem Bulkpotential dieses Transistors (T2) gleichgeschaltet und wieder auf seinen ursprünglichen Wert zurück geschaltet wird.
15. Ein- oder zweidimensionales Array von optoelektronischen Sensoren gemäss einem der Ansprüche 1 bis 9.

16. Verfahren zum Betrieb eines Array nach Anspruch 15 gemäss einem der Ansprüche 10 bis 14.

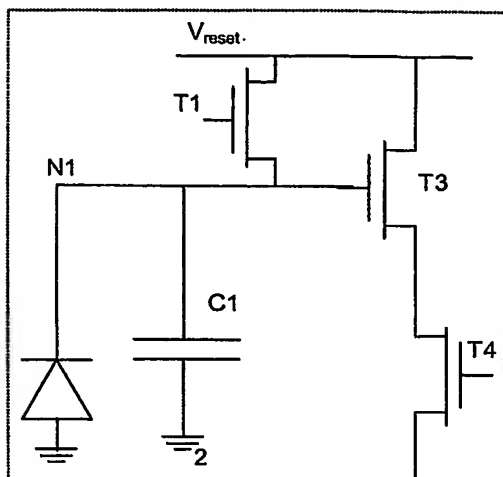


Fig. 1

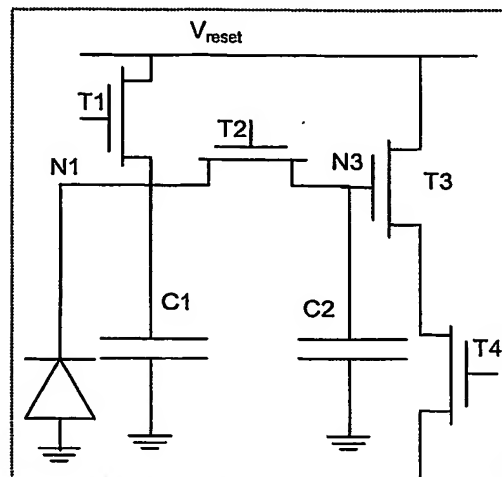


Fig. 2

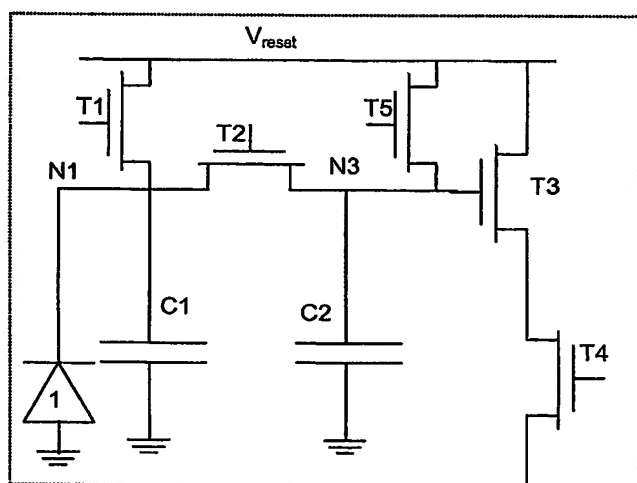


Fig. 3

2 / 2

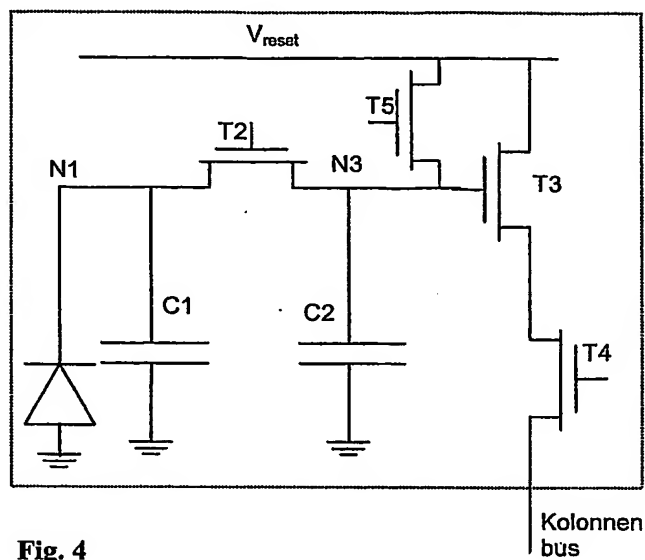


Fig. 4

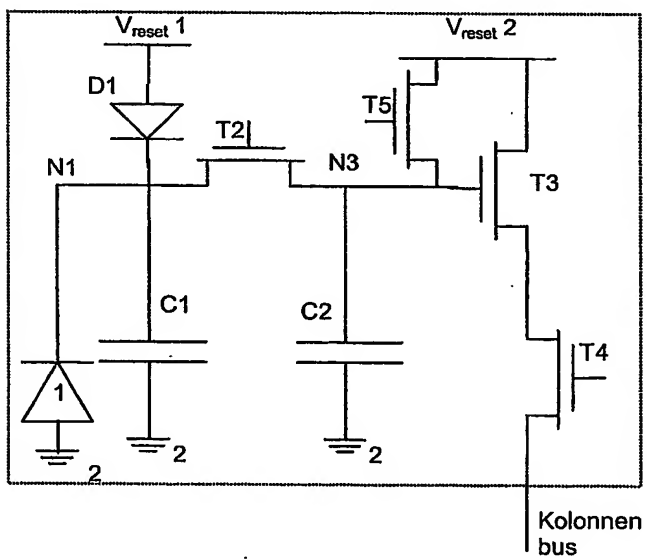


Fig. 5

INTERNATIONAL SEARCH REPORT

International Application No

PCT/03/00704

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H04N3/15 H01L27/146

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols).

IPC 7 H04N H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 742 047 A (ZOMORRODI MEHRDAD ET AL) 21 April 1998 (1998-04-21)	1-5, 15
Y	figure 1 column 3, line 6 - column 4, line 65	1
Y	US 5 854 498 A (MERRILL RICHARD BILLINGS) 29 December 1998 (1998-12-29) figures 1, 2 column 2, line 47 - line 62	1
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

12 February 2004

Date of mailing of the international search report

19/02/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Visscher, E

INTERNATIONAL SEARCH REPORT

International Application No

PCT/03/00704

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MIKIO KYOMASU: "A NEW MOS IMAGER USING PHOTODIODE AS CURRENT SOURCE" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 26, no. 8, 1 August 1991 (1991-08-01), pages 1116-1122; XP000258579 ISSN: 0018-9200 figures 1,2 Section II: Basic circuit configuration and operational principal ---	1-5,15
X	FR 2 807 570 A (CSEM CT SUISSE D ELECTRONIQUE) 12 October 2001 (2001-10-12) figures 1,3,6 page 4, line 30 -page 7, line 21 ---	1-5,15
E	WO 02 101832 A (EM MICROELECTRONIC MARIN SA ;GRUPP JOACHIM (CH); DOERING ELKO (CH)) 19 December 2002 (2002-12-19) figures 2B,5C page 6, line 23 -page 8, line 36 ---	1-7, 9-11,15, 16
E	EP 1 265 290 A (ASULAB SA) 11 December 2002 (2002-12-11) figures 2B,7A,7B -----	1-5,15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/03/00704

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5742047	A	21-04-1998	NONE	
US 5854498	A	29-12-1998	US 5721425 A DE 19707928 A1	24-02-1998 04-09-1997
FR 2807570	A	12-10-2001	FR 2807570 A1 WO 0178150 A1 EP 1269543 A1 US 2003062549 A1	12-10-2001 18-10-2001 02-01-2003 03-04-2003
WO 02101832	A	19-12-2002	EP 1265291 A1 WO 02101832 A2	11-12-2002 19-12-2002
EP 1265290	A	11-12-2002	EP 1265290 A1 WO 02102057 A2	11-12-2002 19-12-2002

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/03/00704

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H04N3/15 H01L27/146

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H04N H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 742 047 A (ZOMORRODI MEHRDAD ET AL) 21. April 1998 (1998-04-21)	1-5, 15
Y	Abbildung 1 Spalte 3, Zeile 6 - Spalte 4, Zeile 65	1
Y	US 5 854 498 A (MERRILL RICHARD BILLINGS) 29. Dezember 1998 (1998-12-29) Abbildungen 1, 2 Spalte 2, Zeile 47 - Zeile 62	1

-/--



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

12. Februar 2004

Absendedatum des internationalen Recherchenberichts

19/02/2004

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Visscher, E

C.(Fortsetzung) ALS WESENTLICH ANGEKÜNDIGTE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	MIKIO KYOMASU: "A NEW MOS IMAGER USING PHOTODIODE AS CURRENT SOURCE" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, Bd. 26, Nr. 8, 1. August 1991 (1991-08-01), Seiten 1116-1122, XP000258579 ISSN: 0018-9200 Abbildungen 1,2 Section II: Basic circuit configuration and operational principal	1-5,15
X	FR 2 807 570 A (CSEM CT SUISSE D ELECTRONIQUE) 12. Oktober 2001 (2001-10-12) Abbildungen 1,3,6 Seite 4, Zeile 30 -Seite 7, Zeile 21	1-5,15
E	WO 02 101832 A (EM MICROELECTRONIC MARIN SA ;GRUPP JOACHIM (CH); DOERING ELKO (CH)) 19. Dezember 2002 (2002-12-19) Abbildungen 2B,5C Seite 6, Zeile 23 -Seite 8, Zeile 36	1-7, 9-11,15, 16
E	EP 1 265 290 A (ASULAB SA) 11. Dezember 2002 (2002-12-11) Abbildungen 2B,7A,7B	1-5,15

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5742047	A	21-04-1998	KEINE	
US 5854498	A	29-12-1998	US 5721425 A DE 19707928 A1	24-02-1998 04-09-1997
FR 2807570	A	12-10-2001	FR 2807570 A1 WO 0178150 A1 EP 1269543 A1 US 2003062549 A1	12-10-2001 18-10-2001 02-01-2003 03-04-2003
WO 02101832	A	19-12-2002	EP 1265291 A1 WO 02101832 A2	11-12-2002 19-12-2002
EP 1265290	A	11-12-2002	EP 1265290 A1 WO 02102057 A2	11-12-2002 19-12-2002